

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-330293

(43)Date of publication of application : 22.12.1997

(51)Int.Cl.

G06F 13/368

(21)Application number : 08-147751

(71)Applicant : FUJITSU LTD  
PFU LTD

(22)Date of filing : 11.06.1996

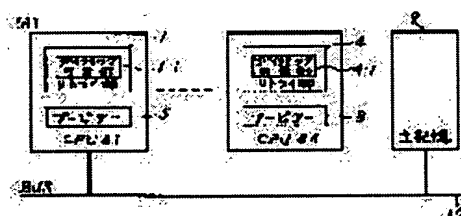
(72)Inventor : SHIMAMURA TAKAYUKI  
KABEMOTO AKIRA  
SUGAWARA HIROHIDE  
NISHIOKA JUNJI  
SASAKI TAKASATO  
SHINOHARA SATOSHI  
NAKAYAMA YOUZOU  
SAKURAI JUN  
SHIBATA NAOHIRO  
MUTA TOSHIYUKI

## (54) BUS RETRY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable access to a low-priority device as well by almost equalizing access without changing the fixed priority at the time of requesting access to the same address when plural CPU are connected on a bus.

**SOLUTION:** Concerning a bus retry device for data processor with which plural CPUs, #1-#4 are connected to a bus 10 and a bus master is arbitrated through a fairness system, the respective CPUs are provided with retry means 1-4 for performing retry and arbiters 5-8 for arbitrating the use of the bus, the retry means 1-4 are provided with dynamic varying means from 1-1 to 4-1 for dynamically varying the timing of retry and in the case of performing the retry according to a retry instruction caused by a busy state when the access to the same address is competed among the plural CPUs, the CPU except the bus master variably controls the output timing of the dynamic varying means.



(B)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	100
CPU #1	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	100
CPU #2	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	100
CPU #3	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	100
CPU #4	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	100



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-330293

(43) 公開日 平成9年(1997)12月22日

(51) Int.Cl.<sup>9</sup>

G 0 6 F 13/368

識別記号

庁内整理番号

F I

G 0 6 F 13/368

技術表示箇所

Z

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号 特願平8-147751

(22) 出願日 平成8年(1996)6月11日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(71) 出願人 000136136

株式会社ピーエフユー

石川県河北郡宇ノ気町宇野気ヌ98番地の  
2

(72) 発明者 島村 貴之

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 山谷 晴榮 (外1名)

最終頁に続く

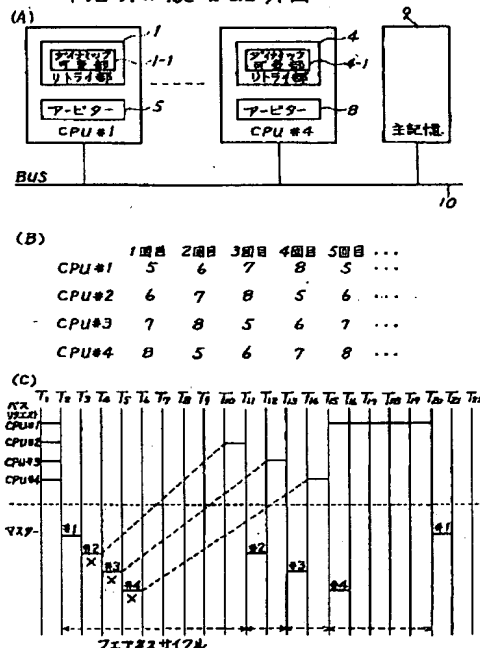
(54) 【発明の名称】 バスリトライ装置

(57) 【要約】

【課題】 複数のCPUがバス上に接続されているとき、同一アドレスアクセス要求時に対するその固定優先順位を変更することなく、アクセスを略平等化して優先順位の低いものに対してもアクセス可能とすること。

【解決手段】 複数のCPU #1 ~ #4 がバス10に接続され、バスマスタの調停がフェアネス方式で行われるデータ処理装置のバスリトライ装置において、各CPUにリトライを行うリトライ手段1 ~ 4 と、バス使用権の調停を行うアービター5 ~ 8 を設け、前記リトライ手段1 ~ 4 には、リトライタイミングをダイナミックに変化するダイナミック可変手段1-1 ~ 4-1 を設け、同一アドレスのアクセスを複数のCPUが競合したとき、バスマスタ以外のCPUはビジーによるリトライ指示によりリトライを行う場合、前記ダイナミック可変手段の出力タイミングを可変制御する。

本発明の概略説明図



## 【特許請求の範囲】

【請求項1】複数のCPUがバスに接続され、バスマスタの調停がフェアネス方式で行われるデータ処理装置のバスリトライ装置において、

各CPUにリトライを行うリトライ手段と、バス使用権の調停を行うアービターを設け、

前記リトライ手段には、リトライタイミングをダイナミックに変化するダイナミック可変手段を設け、

同一アドレスのアクセスを複数のCPUが競合したとき、バスマスタ以外のCPUはビジーによるリトライ指示によりリトライを行う場合、前記ダイナミック可変手段の出力タイミングを可変制御することを特徴とするバスリトライ装置。

【請求項2】前記ダイナミック可変手段は、複数段のデータ保持手段と、このデータ保持手段の保持信号を選択的に出力するマルチプレクサと、このマルチプレクサに対する選択制御信号を出力するカウンタを具備したことを特徴とする請求項1記載のバスリトライ装置。

【請求項3】前記バスがスプリット・プロトコルバス接続されていることを特徴とする請求項1記載のバスリトライ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は複数のCPUがバス上に接続されており、メモリの同一アドレスに対してアクセス競合を生じたときのバスアービトレーション方式がフェアネス方式であるデータ処理装置におけるバスリトライ装置に係り、特にバスアービターの調整論理を変更することなく、優先順位の低いものに対しても容易にアクセス可能としたものである。

## 【0002】

【従来の技術】例えば、図4に示す如く、主記憶装置40とCPU（中央処理装置）#1～CPU#4をバス41に共通接続したデータ処理装置において、CPU#1のアクセス先と同一アドレスの主記憶装置40に対して他のCPU#2～CPU#4がアクセスする場合、図5に示す如き制御が行われる。

【0003】即ち、前記アクセス要求は、図5におけるタイミングAにおいて、各CPU#1～CPU#4からのアクセス要求に対する調停が行われる。この場合、優先順位をCPU#1>CPU#2>CPU#3>CPU#4>とすれば、優先順位のもっとも高いCPU#1に対してバス使用権が与えられ、他のアクセス要求に対してはビジーが通知される。なお図5において横軸はタイミングを示す。

【0004】図4に示すデータ処理装置は、各CPU#1～CPU#4のそれぞれにアービター61～64が設けられた、分散アービトレーション方式で構成されている。そして各CPUとも個別にリクエスト出力線（図示省略）を持ち、自分のリクエスト出力が他のCPUに受

信できるように構成されている。

【0005】図5に示す例では、タイミングAにおいて、各CPU#1～CPU#4ではそれぞれアービター61～64が調停動作を行い、CPU#1が使用権を得る。図5に示すA～T<sub>0</sub>間の#1は、CPU#1がバスマスタであることを示す。そしてCPU#1はこの使用権の獲得により、競合者であるCPU#2、CPU#3、CPU#4に対して順次ビジーを通知する。これによりCPU#2～CPU#4から出力されたバスリクエスト・コマンドはキャンセルされる。図5はこのようなフェアネス方式を示すものであり、タイミングT<sub>0</sub>～T<sub>3</sub>における×印はビジー通知によるこのコマンドのキャンセルを示す。

【0006】CPU#2では、タイミングT<sub>1</sub>において、コマンドのキャンセルを認識し、再発行の準備を行い、タイミングT<sub>5</sub>においてリトライのバスリクエストをリトライ部52から出力する。同様にCPU#3ではタイミングT<sub>2</sub>においてコマンドのキャンセルを認識しタイミングT<sub>6</sub>においてリトライのバスリクエストをリトライ部53から出力し、CPU#4ではタイミングT<sub>7</sub>においてリトライのバスリクエストをリトライ部54から出力する。そして調停タイミングであるタイミングT<sub>8</sub>において、今度は、前記優先順位により、CPU#2がバスマスタとなり、CPU#2はCPU#3、CPU#4に対して順次ビジーを通知し、バスリクエスト・コマンドをキャンセルする。

【0007】この間に、タイミングT<sub>10</sub>において、CPU#1が再びバスリクエスト・コマンドを出力すると、タイミングT<sub>14</sub>、T<sub>15</sub>でそれぞれCPU#3、CPU#4がリトライのバスリクエストを出力しても、調停タイミングであるタイミングT<sub>16</sub>にて調停が行われ、前記優先順位によりCPU#1が再びバスマスタとなる。

【0008】このように、従来では、あるバスマスタと同一のメモリ又はキャッシュアドレスに対して、他のCPUがアクセスしようとした場合、バスマスタのCPUの使用権獲得により、このCPUから他のCPUはビジーを通知され、リトライ指示を受ける。ところがこのリトライ指示を受けたCPUは、ある決まったタイミングでリトライのバスリクエストを出し、バス使用権を獲得しようとするが、フェアネスサイクル内でのバスマスタの決定は予め定められた固定優先で決まる。

【0009】また、一度前回にバス使用権を獲得した優先順位の高いCPUも、次のフェアネスサイクルで、同一アドレスに対してアクセス要求を出力することがある。

## 【0010】

【発明が解決しようとする課題】このようにバス使用権を獲得できなかったCPUはリトライを繰り返して出力するが、前述のように、優先順位の高いCPUのアクセス要求と競合することがあり、優先順位の低いCPUは

3

それぞれのフェアネスサイクルで負けてしまい、結局バス使用権の獲得できない状態が発生する。

【0011】従来はフェアネスサイクル内での優先順位の平等の調整としてラウンドロビン方式があるが、この方式はバス使用権を獲得したバスマスターの優先順位を最後位に切替えるため、高周波数で動作するバスマスターの切換えを所定の時間内で行うことがむづかしく、しかも回路構成が複雑でなおかつマスターの数が多くなるとゲート数が大きくなるという問題が存在する。

【0012】従って本発明の目的は、同一アドレスに対して複数のCPUからアクセス要求が行われても、リトライする際に各CPUのバスリクエストのタイミングをダイナミックに変換することにより、すべてのCPUに対して略平等にバス使用権を与えることができるバスリトライ装置を提供することである。

【0013】

【課題を解決するための手段】前記目的を達成するため、本発明では、図1(A)に示す如く、CPU#1～CPU#4の如きバスマスターと主記憶装置9をバス10に共通に接続したデータ処理装置において、CPU#1～CPU#4にそれぞれリトライ部1～4とアービター5～8を設けるとともに、リトライ部1～4に、後述詳記するダイナミック可変部1-1～4-1を設ける。これらダイナミック可変部1-1～4-1は、図1(B)に示す如く、ビジーリトライに基づき、リトライ・タイミング数を変更するものである。

【0014】この例では、各CPUのリトライ・サイクルは最低5サイクルのリトライ期間を持つ場合であるので、CPU#1のダイナミック可変部1-1は、ビジーリトライに基づき、そのリトライ・サイクル数が5→6→7→8→5・・・と変化し、CPU#4のダイナミック可変部4-1は、ビジーリトライに基づきリトライ・サイクル数が8→5→6→7→8・・・と変化する。図示省略したCPU#2のダイナミック可変部及びCPU#3のダイナミック可変部も、図1(B)に示す如く、1回目の初期値からそれぞれ同様に変化する。

【0015】従って、図1(C)のタイミングT<sub>1</sub>に示す如く、CPU#1～CPU#4からの主記憶装置9の同一アドレスに対するアクセス要求があり、タイミングT<sub>2</sub>で調停を行いCPU#1がバス使用権を獲得すると、CPU#1からCPU#2、CPU#3、CPU#4に対しそれぞれタイミングT<sub>3</sub>、T<sub>4</sub>、T<sub>5</sub>において、ビジーを出力する。図1(C)の×印はこのビジー通知によりバスリクエスト・コマンドがキャンセルされたことを示す。なお図1(C)において、各タイミングサイクルはリトライサイクルと一致している。

【0016】このビジー通知により、CPU#2では、図1(B)の1回目示す如く、6タイミング後、つまり図1(C)に示す、タイミングT<sub>10</sub>において、そのリトライ部がリトライのバスリクエストを出力し、CPU

4

#3では、7リトライ・タイミング後のタイミングT<sub>12</sub>においてリトライのバスリクエストを出力し、CPU#4では8リトライ・サイクル後のタイミングT<sub>14</sub>においてリトライのバスリクエストを出力する。

【0017】CPU#2の前記バスリクエストはタイミングT<sub>11</sub>において調停が行われるが、このとき他のCPUから同一アドレスに対するバスリクエストがないので、競合は生ぜず、CPU#2はバス使用権を獲得できる。

【0018】またCPU#3の前記バスリクエストはタイミングT<sub>13</sub>において調停が行われるが、このとき他のCPUから同一アドレスに対するバスリクエストがないので競合は生ぜず、CPU#3はバス使用権を獲得できる。

【0019】さらにCPU#4の前記バスリクエストはタイミングT<sub>15</sub>において調停が行われるが、これまた他のCPUから同一アドレスに対するバスリクエストがないので競合は生ぜず、CPU#4はバス使用権を獲得できる。

【0020】そして時刻T<sub>15</sub>において再び最優先順位のCPU#1からバスリクエストが出力されタイミングT<sub>20</sub>にて調停が行われ、CPU#1がバス使用権を得ることができる。

【0021】このようにして調停回路を変更することなく、リトライ・タイミングをずらし、またそのリトライ・タイミングを可変にすることにより、各CPUから出力されるバスリクエストのタイミングをリトライ毎にずらすことができ、優先順位の低い、CPU#4でもバス使用権を略平等に獲得できる。

【0022】

【発明の実施の形態】本発明の一実施の形態を図1、図2、図3に基づき説明する。図1は本発明の概略説明図、図2は本発明のダイナミック可変部の一例を示す詳細図、図3は本発明の動作説明図である。

【0023】図1(A)において、1はCPU#1のリトライ部、4はCPU#4のリトライ部、5はCPU#1のアービター、8はCPU#4のアービター、9は主記憶装置、10はバスである。図1(A)では説明簡略のため、CPU#2、CPU#3については図示省略しているが、CPU#2、CPU#3も、それぞれCPU#1、CPU#4と同様に構成され、それぞれリトライ部、アービターを具備している。

【0024】CPU#1のリトライ部1は、アクセス要求に対して他のCPUが使用中等のため、ビジーが伝達されたとき、これに基づきリトライを行うものであり、図2(A)により後述詳記するダイナミック可変部1-1を具備する。

【0025】CPU#4のリトライ部4は、前記リトライ部1と同様にリトライを行うものであり、図2(D)により後述詳記するダイナミック可変部1-4を具備す

る。図示省略したCPU#2、CPU#3のリトライ部にも、図2(B)、(C)により説明するダイナミック可変部1-2、1-3を具備する。

【0026】CPU#1のアービター5は、CPU#1がバス使用権獲得のためリクエストを発行したとき、同一アドレスに対する他のCPUからの競合が存在した場合、優先順位に応じてバス使用権獲得のための調停を行うものである。この例では、優先順位は番号の若い順位、即ち#1>#2>#3>#4により優先順位が与えられている。

【0027】CPU#4のアービター8は、前記アービター5と同様に、同一アドレスに対するリクエストについて他のCPUとの競合が存在した場合、同じ優先順位に基づく調停を行うものである。

【0028】図示省略したCPU#2、CPU#3にも、同様にアービターが具備されている。CPU#1のダイナミック可変部1-1は、自CPU#1からのリクエストに対してビジー応答が他のCPUから伝達されたとき、リトライ・タイミングをダイナミックに可変するものであり、図2(A)に示す如く、4サイクルタイム11-1、遅延用のフリップ・フロップ(以下FFという)12-1、13-1、14-1、15-1、アンドゲート16-1、17-1、18-1、19-1、マルチプレクサ20-1、カウンタ21-1、レジスタ22-1等を具備する。

【0029】図1(A)では図示省略したCPU#2のダイナミック可変部1-2は、CPU#1のダイナミック可変部1-1と同じく、自CPU#2からのリクエストに対してビジー応答が他のCPUから伝達されたとき、リトライ・タイミング数をダイナミックに可変するものであり、図2(B)に示す如く、4サイクルタイム11-2、遅延用のFF12-2、13-2、14-2、15-2、アンドゲート16-2、17-2、18-2、19-2、マルチプレクサ20-2、カウンタ21-2、レジスタ22-2等を具備する。

【0030】同じく図1(A)では図示省略したCPU#3のダイナミック可変部1-3は前記ダイナミック可変部1-1、1-2と同様に動作するものであり、図2(C)に示す如く、4サイクルタイム11-3、遅延用のFF12-3、13-3、14-3、15-3、アンドゲート16-3、17-3、18-3、19-3、マルチプレクサ20-3、カウンタ21-3、レジスタ22-3等を具備する。

【0031】そしてCPU#4のダイナミック可変部1-4は、前記ダイナミック可変部1-1、1-2、1-3と同様に動作するものであり、図2(D)に示す如く、4サイクルタイム11-4、遅延用のFF12-4、13-4、14-4、15-4、アンドゲート16-4、17-4、18-4、19-4、マルチプレクサ20-4、カウンタ21-4、レジスタ22-4等を具

備する。

【0032】これらの各ダイナミック可変部1-1~1-4は同一構成であり、カウンタ21-1~21-4の初期設定値を除いて同一であるので、図2(A)に示すダイナミック可変部1-1に基づきその共通的な動作について説明する。

【0033】4サイクルタイム11-1は、ビジー信号が伝達されたとき動作して4リトライ・タイミング後に信号「1」を出力する。この4サイクルタイム11より出力された信号「1」は次のリトライ・タイミングでFF12-1にセットされる。すなわち、4サイクルタイム11-1にビジー信号が伝達されてから5リトライ・タイミング後にFF12-1に信号「1」が保持される。

【0034】もし、マルチプレクサ20-1より信号「0」が出力されていれば、この信号「0」がアンドゲート16-1、17-1、18-1、19-1の各インバータ端子に入力されるので、これらアンドゲート16-1~19-1はいずれもオン状態にある。したがって、6リトライ・タイミング後にFF13-1に信号「1」がセットされ、7リトライ・タイミング後にFF14-1に信号「1」がセットされ、8リトライ・タイミング後にFF15-1に信号「1」がセットされる。図2(A)の各FF上のマル付き数字は、ビジー信号が伝達された後に、そのFFに信号「1」が伝達されるまでのリトライ・タイミング数を示している。

【0035】マルチプレクサ20-1はレジスタ21-1から伝達される選択信号によりFF12-1、13-1、14-1、15-1のいずれかにセットされた信号をリトライパルス信号rtpとして選択出力するものである。レジスタ22-1に「00」が記入されるときマルチプレクサ20-1はFF12-1にセットされた信号を出力し、レジスタ22-1に「01」が記入されるときマルチプレクサ20-1はFF13-1にセットされた信号を出力し、「10」、「11」が記入されるときマルチプレクサ20-1はFF14-1、15-1に記入された信号をリトライパルス信号rtpとして選択出力する。

【0036】カウンタ21-1は初期値「00」から「01」、「10」、「11」と順次出力するものである。このカウンタ21-1は、他のCPUよりビジーによるリトライ指示を受けたとき、カウントアップする。従って、例えば初期値「00」において、ビジー通知を受けたとき、「01」をカウントアップする。

【0037】カウンタ21-1は、図1(A)に示す如く、バスマスタになりうるCPU等の数が4の例であり、もしバスマスタの数が3或いは5のように異なる場合には、それに応じてカウンタのカウント値も「10」或いは「100」までカウントするように適宜変更されるものである。

7

【0038】カウンタ21-1の出力は前記の如く、レジスタ22-1に保持されてマルチプレクサ20-1の選択信号となるので、カウンタ21-1が「00」を出力するときは、FF12-1に信号「1」がセットされたとき、マルチプレクサ20-1がリトライパルス信号 r t p を出力する。そしてこのFF12-1に信号「1」がセットされるのは、前記の如く、ビジー信号が伝達されてから5リトライ・タイミング後であるので、カウンタ21-1が「00」を出力しているとき、マルチプレクサ20-1からリトライパルス信号 r t p が出力されるのは5リトライ・タイミング後である。同様に

してカウンタ21-1が「01」を出力しているとき、マルチプレクサ20-1からリトライパルス信号 r t p が出力されるのは、ビジー信号が伝達されてから6リトライ・タイミング後である。

【0039】同様にカウンタ21-1が「10」又は「11」を出力しているとき、マルチプレクサ20-1からリトライパルス信号 r t p が出力されるのは、ビジー信号が伝達されてから7又は8リトライ・タイミング後である。そしてカウンタ21-1が「11」を出力しているときに、ビジー信号が伝達されると「00」となり、マルチプレクサ20-1からリトライパルス信号 r t p が出力されるのは再び5リトライ・タイミング後となる。このようにして、マルチプレクサ20-1からリトライパルス信号 r t p が出力されるタイミングがビジー信号によりダイナミックに変えられる。

【0040】図2 (B) に示すCPU#2のダイナミック可変部1-2も、前記図2 (A) に示すCPU#1のダイナミック可変部1-1と同様に動作するものであるが、カウンタ21-2の初期値が「01」にセットされている。

【0041】また図2 (C) に示すCPU#3のダイナミック可変部1-3も、前記図2 (A)、(B) に示すCPU#1、#2のダイナミック可変部1-1、1-2と同様に動作するものであるが、カウンタ21-3の初期値が「10」にセットされている。

【0042】図2 (D) に示すCPU#4のダイナミック可変部1-4も、前記図2 (A)、(B)、(C) に示すCPU#1、#2、#3のダイナミック可変部1-1、1-2、1-3と同様に動作するものであるが、カウンタ21-4の初期値が「11」にセットされている。

【0043】なお、これらカウンタ21-1~21-4の初期値は、例えばシステムを構成するとき、マニュアル等の適宜手段で設定されるものである。本発明の一実施の形態の動作を図3に示す動作説明図にもとづき説明する。なお図3は、最初CPU#1~#4からの同一アドレスに対するアクセス要求をタイミングT<sub>2</sub>で調停をとってCPU#1に対してバス使用権が付与され、次にCPU#2のリクエスト処理、及びCPU#3のリクエ

8

スト処理で時間がかかり、タイミングT<sub>15</sub>で調停をとってCPU#2に対してバス使用権が与えられ、さらにその次にCPU#4、CPU#3にそれぞれバス使用権が与えられた例である。

【0044】初めに図3のタイミングT<sub>1</sub>に示す如く、CPU#1~CPU#4から主記憶装置9の同一アドレスに対してアクセス要求があり、タイミングT<sub>2</sub>で各アービターにより調停が行われ、前記優先順位によりCPU#1に対しバス使用権が与えられると、CPU#1からCPU#2、CPU#3及びCPU#4に対して順次ビジーを出力する。このビジー信号は、タイミングT<sub>4</sub>、T<sub>5</sub>、T<sub>6</sub>において各CPU#2~CPU#4で受信される。図3の×印はこのビジー通知によりリクエスト・コマンドがキャンセルされたことを示す。

【0045】このとき、CPU#2のカウンタ21-2は「01」を出力してこれがレジスタ22-2に記入されているので、ビジー信号を受信後の6リトライ・タイミング経過したタイミングT<sub>10</sub>においてFF13-2に信号「1」が記入されたときマルチプレクサ20-2からリトライ・パルス信号 r t p 「1」が出力され、これによりリクエスト・コマンドが再び出力される。従って、CPU#2はリトライ部1からタイミングT<sub>10</sub>において、リトライのリクエスト・コマンドが出力される。そして前記リトライ・パルス信号 r t p 「1」により、カウンタ20-2はカウントアップして、今度は「10」を出力し、レジスタ21-2には「10」が記入される。またこのリトライ・パルス信号 r t p 「1」はアンドゲート16-2~19-2の否定入力端子に伝達されこれによりアンドゲート16-2~19-2から「0」が出力されるのでFF12-2~15-2はリセットされる。

【0046】CPU#3は、タイミングT<sub>5</sub>においてビジー信号を受信したとき、カウンタ20-3は「10」を出力しており、これがレジスタ21-3に記入されているので、前記タイミングT<sub>5</sub>から7リトライ・タイミング経過したタイミングT<sub>12</sub>において、FF14-3に信号「1」が記入されたとき、マルチプレクサ20-3からリトライ・パルス信号 r t p 「1」が出力され、これによりリクエスト・コマンドが再び出力される。そしてこのリトライ・パルス信号 r t p 「1」によりカウンタ21-3はカウントアップして、今度は「11」を出力し、レジスタ21-3には「11」が記入される。このリトライ・パルス信号 r t p 「1」はアンドゲート16-3~19-3の否定入力端子に印加されるのでアンドゲート16-3~19-3から「0」が出力され、FF12-3~15-3はリセットされる。

【0047】CPU#4は、タイミングT<sub>6</sub>においてビジー信号を受信したとき、カウンタ20-4は「11」を出力しており、これがレジスタ21-4に記入されているので、前記タイミングT<sub>6</sub>から8リトライ・タイミ

ング経過したタイミング $T_{14}$ において、FF15-4に信号「1」が記入されたとき、マルチプレクサ20-4からリトライ・パルス信号 $rtp$ 「1」が出力され、これによりリクエスト・コマンドが再び出力される。そしてこのリトライ・パルス信号 $rtp$ 「1」によりカウンタ21-4はカウントアップして、今度は「00」を出力し、レジスタ22-4には「00」が記入される。このリトライ・パルス信号 $rtp$ 「1」はアンドゲート16-4~19-4の否定入力端子に印加されるのでアンドゲート16-4~19-4から「0」が出力され、FF12-4~15-4はリセットされる。

【0048】これらCPU#2~CPU#4からの前記各リクエストはタイミング $T_{15}$ で調停が行われ、前記優先順位によりCPU#2がバス使用权を獲得する。これによりCPU#2は、CPU#3及びCPU#4に対して順次ビジー信号を出力する。このビジー信号は、タイミング $T_{17}$ 、 $T_{18}$ においてCPU#3、CPU#4で受信される。図3の×印はこのビジー通知によりリクエスト・コマンドがキャンセルされたことを示す。

【0049】このとき、CPU#3では、カウンタ21-3が「11」を出力し、これがレジスタ22-3に記入されているので、タイミング $T_{17}$ より8リトライ・タイミング経過したタイミング $T_{25}$ においてFF15-3に信号「1」が記入されたとき、マルチプレクサ20-3よりリトライ・パルス信号 $rtp$ 「1」が出力され、リトライ・コマンドが再び出力されることになる。

【0050】しかしCPU#4では、前記の如く、カウンタ21-4が「00」を出力してこれがレジスタ22-4に記入されているので、タイミング $T_{18}$ から5リトライ・タイミング経過したタイミング $T_{23}$ においてFF12-4に信号「1」が記入されたとき、マルチプレクサ20-4よりリトライ・パルス信号 $rtp$ 「1」が出力され、リトライ・コマンドが再び出力されることになる。すなわち、CPU#3のリトライ・コマンドよりもCPU#4のリトライ・コマンドが先に出力されることになる。

【0051】そして、このCPU#4のリトライ・コマンドがタイミング $T_{24}$ で調停が行われるが、このとき優先順位の高い他のCPUからのリトライ・コマンドが出力されていないため、CPU#4がバス使用权を得ることになる。それからタイミング $T_{26}$ で調停が行われ、CPU#3がバス使用权を得ることになる。

【0052】このように、リトライ・タイミング数をビジーのものに対してダイナミックに変更できるので、優先順位の高いものにバス使用权が集中し低位のものが使用できないという不公平を大きく改善することができる。

【0053】ところで、例えばCPU#2がコマンドを

先に発行して、これと同一アドレスに対し後からCPU#1がアクセス要求を行うとき、CPU#2における前記コマンドの処理が長引くと、CPU#1のこのアクセス要求に対してはビジーが通知される。このようなときCPU#1では、カウンタがカウントアップし、リトライサイクルがダイナミックに変更されることになる。

【0054】前記実施の形態ではマスタの数が4の例について説明し、またリトライ期間が最低5サイクル持つ例について説明したが、本発明は勿論これらに限定されるものではない。

【0055】また前記実施の形態ではバスがスプリット・プロトコルバスの例について説明したが、本発明は勿論これに限定されるものではなく、インターロック・プロトコルバスにおいても適用できるものである。

【0056】本発明では各CPUにキャッシュを設けておき、メモリアクセスに際しキャッシュをアクセスするように構成することができる。

【0057】

【発明の効果】本発明によれば、複数のCPUがバス上で同一アドレスにアクセスするようなプログラミングされていても、リトライするタイミングをダイナミックに可変することができ、これによりあるCPUがフェアネスサイクル中の固定優先順位で全敗してバスのアクセス権を獲得できなくなるような状況は発生しなくなり、ほぼ平等にバスの使用权を獲得することができる。

【0058】本発明によればFFの如き複数段のデータ保持手段と、マルチプレクサと、カウンタで簡単にダイナミック可変手段を構成することができた。本発明によれば、スプリット・プロトコルバスのCPUに対して、固定優先順位の低いものについてもバスのアクセス権をほぼ平等に獲得することができる。

【図面の簡単な説明】

【図1】本発明の概略説明図である。

【図2】本発明のダイナミック可変部の一例を示す詳細図である。

【図3】本発明の動作説明図の一例である。

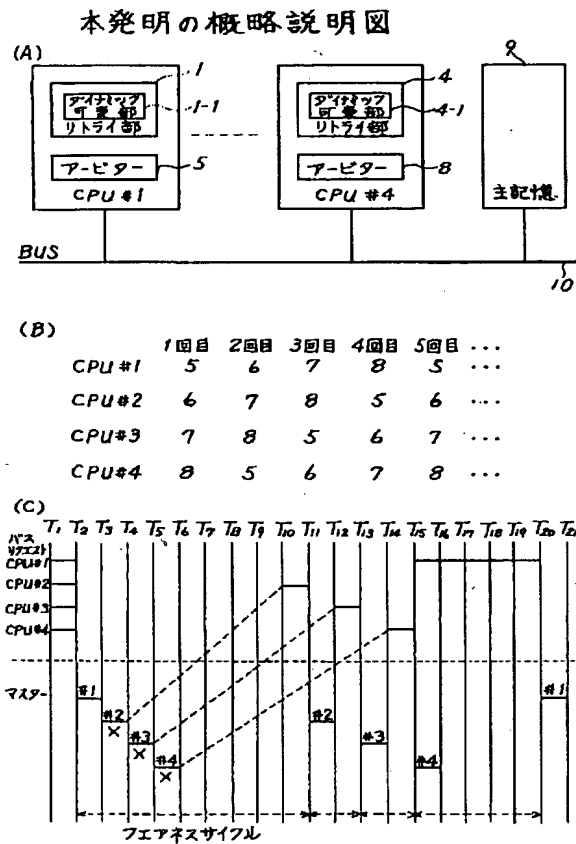
【図4】従来例である。

【図5】従来の動作説明図である。

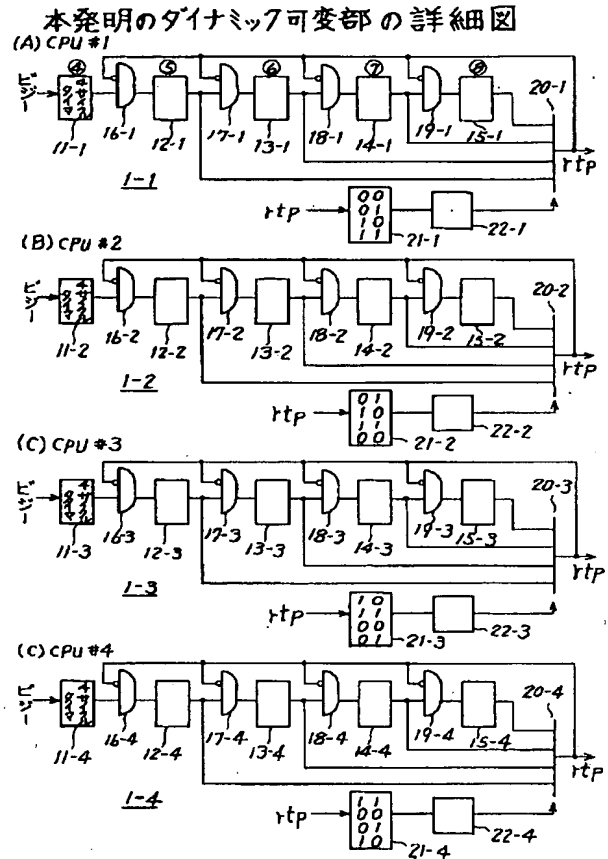
【符号の説明】

- 1 リトライ部
- 1-1 ダイナミック可変部
- 4 リトライ部
- 4-1 ダイナミック可変部
- 5 アービター
- 8 アービター
- 9 主記憶装置
- 10 バス

【図1】

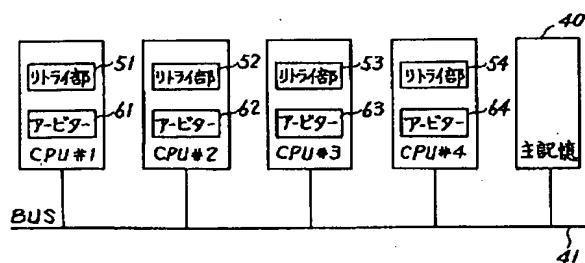


【図2】



【図4】

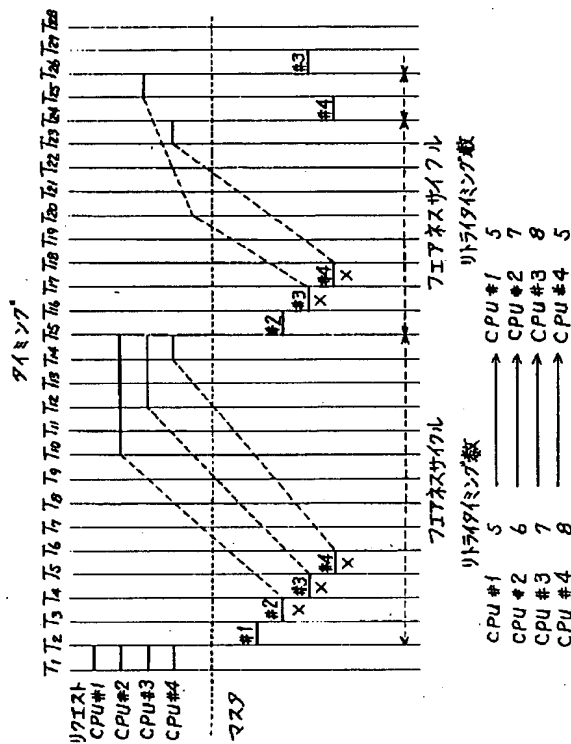
従来例





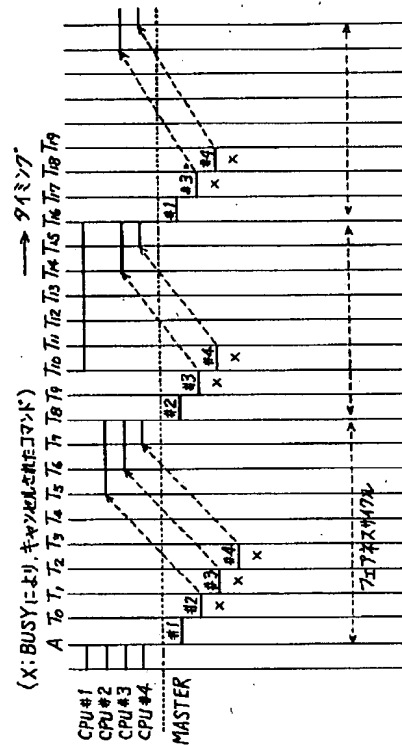
【図3】

## 本発明の動作説明図



【図5】

## 従来の動作説明



フロントページの続き

- (72)発明者 河部本 章  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内
- (72)発明者 菅原 博英  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内
- (72)発明者 西岡 潤治  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内
- (72)発明者 佐々木 崇諭  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

- (72)発明者 篠原 聡  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内
- (72)発明者 中山 陽象  
石川県河北郡宇ノ気町宇野気ヌ98番地の  
2 株式会社ピーエフユー内
- (72)発明者 桜井 潤  
宮城県仙台市青葉区一番町1丁目2番25号  
富士通東北デジタル・テクノロジー株式  
会社内
- (72)発明者 柴田 直宏  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内
- (72)発明者 牟田 俊之  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内